

501,287

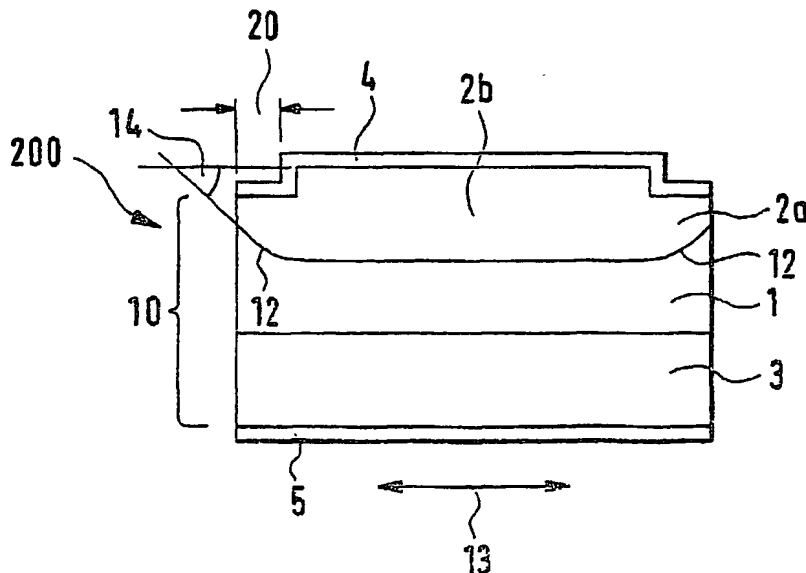
10/501287
Rec'd GT/PTO 09 JUL 2004(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
24. Juli 2003 (24.07.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/061015 A1

- (51) Internationale Patentklassifikation⁷: **H01L 29/866**, (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
21/329 **US): ROBERT BOSCH GMBH [DE/DE];** Postfach 30 20
20, 70442 Stuttgart (DE).
- (21) Internationales Aktenzeichen: PCT/DE02/04255
- (22) Internationales Anmeldedatum: 19. November 2002 (19.11.2002)
- (72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): **DEL ROCIO MAR-**
TIN LOPEZ, Maria [DE/DE]; Burgplatz 1, 72764
Reutlingen (DE). **SPITZ, Richard [DE/DE];** Roemer-
steinstr. 56, 72766 Reutlingen (DE). **GOERLACH,**
Alfred [DE/DE]; Bismarckstr. 70, 72127 Kusterdingen
(DE). **WILL, Barbara [DE/DE];** Erholungsheimstr. 25/1,
71083 Herrenberg (DE).
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
102 01 162.1 ✓ 15. Januar 2002 (15.01.2002) DE
102 37 409.0 ✓ 16. August 2002 (16.08.2002) DE
- (81) Bestimmungsstaaten (national): AU, JP, US.

[Fortsetzung auf der nächsten Seite]

(54) Title: SEMICONDUCTOR ARRANGEMENT COMPRISING A PN-TRANSITION AND METHOD FOR PRODUCING A
SEMICONDUCTOR ARRANGEMENT(54) Bezeichnung: HALBLEITERANORDNUNG MIT EINEM PN-ÜBERGANG UND VERFAHREN ZUR HERSTELLUNG
EINER HALBLEITERANORDNUNG

(57) Abstract: The invention relates to a semiconductor arrangement (200) comprising a pn-transition and to a method for producing a semiconductor arrangement (200), whereby the semiconductor arrangement (200) is provided in the form of a chip (10) with an edge region. The semiconductor arrangement (200) has a first layer (2) of a first type of conductivity and a second layer (1) of a second type of conductivity that is the inverse of the first type of conductivity. The first layer (2) has an edge region (2a) and a middle region (2b), whereby the pn transition is provided between the first layer (2) and the second layer (1). The second layer (2), in its edge region (2a), is doped less than in its middle region (2b), and the boundary surface (12) of the pn-transition at the edge region (2a) is not parallel to the main chip plane (13).

(57) Zusammenfassung: Es wird eine Halbleiteranordnung (200) mit einem

pn-Übergang und ein Verfahren zur Herstellung einer Halbleiteranordnung (200) vorgeschlagen, wobei die Halbleiteranordnung (200) als Chip (10) mit einem Randbereich ausgebildet ist, wobei die Halbleiteranordnung (200) eine erste Schicht (2) eines ersten Leitfähigkeitstyps und eine zweite Schicht (1) eines zweiten, dem ersten Leitfähigkeitstyp entgegengesetzten, Leitfähigkeitstyps umfasst, wobei die erste Schicht (2) einen Randbereich (2a) und einen Mittenbereich (2b) aufweist, wobei zwischen der ersten Schicht (2) und der zweiten Schicht (1) der pn-Übergang vorgesehen ist, wobei die zweite Schicht (2) in ihrem Randbereich (2a) schwächer dotiert vorgesehen ist als in ihrem Mittenbereich (2b) und wobei die Grenzfläche (12) des pn-Übergangs am Randbereich (2a) nichtparallel zur Hauptchipebene (13) vorgesehen ist.

WO 03/061015 A1



(84) **Bestimmungsstaaten** (*regional*): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

— mit internationalem Recherchenbericht

Halbleiteranordnung mit einem pn-Übergang und Verfahren zur Herstellung einer Halbleiteranordnung

Stand der Technik

Die Erfindung geht aus von einer Halbleiteranordnung und einem Verfahren nach der Gattung der nebengeordneten Ansprüche.

Halbleiterdioden zur Spannungsbegrenzung sind allgemein bekannt und werden im allgemeinen als pn-Dioden so ausgelegt, dass eine p-Schicht in ein homogen dotiertes n-Gebiet eindiffundiert ist. Zur Reduktion des Bahnwiderstandes und der besseren ohmschen Anbindung des n-Halbleiters an die Metallisierung wird das n-dotierte Gebiet von der Waferrückseite her oftmals stark n-dotiert.

Aus der Druckschrift DE 4320780 ist eine Halbleiterdiode bekannt, bei welcher die auftretende Feldstärke im Randbereich des Halbleiterchips geringer ist als die Feldstärke im Inneren des Bauteils.

Vorteile der Erfindung

Die erfindungsgemäße Halbleiteranordnung und das erfindungsgemäße Verfahren mit den Merkmalen der nebengeordneten Ansprüche haben demgegenüber den Vorteil, dass die Halbleiteranordnung zur Reduktion der Feldstärke

am Chiprand, sowie die Herstellung der Halbleiteranordnung wesentlich einfacher ist.

Durch die in den Unteransprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen der in den nebengeordneten Ansprüchen angegebenen Halbleiteranordnung und des Verfahrens zu deren Herstellung möglich.

Zeichnung

Ein Ausführungsbeispiel der Erfindung ist in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert. Es zeigen

Figur 1 eine schematische Darstellung des Querschnitts einer bekannten Diode, Figur 2 eine schematische Darstellung des Querschnitt einer erfindungsgemäßen Halbleiteranordnung, Figur 3 eine schematische Darstellung der Herstellungsschritte zur Herstellung der erfindungsgemäßen Halbleiteranordnung.

Beschreibung

In Figur 1 ist eine bekannte Diode 100 in ihrem Querschnitt dargestellt. Halbleiterdioden 100 zur Spannungsbegrenzung werden in der Regel als pn-Dioden so ausgelegt, dass eine p-dotierte Schicht 2, die im folgenden auch als erste Schicht 2 bezeichnet wird, in ein homogen n-dotiertes Gebiet 1, eindiffundiert ist. Zur Reduktion des Bahnwiderstandes und zur besseren ohmschen Anbindung des n-Halbleiters an die Metallisierung wird das n-dotierte Gebiet 1 von der Waferrückseite, welche in allen Figuren im unteren Teil der Figur zu denken ist, her stark n-dotiert. Hierdurch entsteht eine mit dem Bezugszeichen 3 bezeichnete dritte Schicht 3. Die Bezugnahme auf n-Dotierung bzw. p-Dotierung für bestimmte Schichten oder Gebiete ist in Figur 1 und in allen weiteren Figuren lediglich beispielhaft zu verstehen; der für die Dotierung verwendete

Ladungsträgertyp kann erfindungsgemäß auch vertauscht werden. Die Schichten 1, 2, 3 bilden zusammen den als Chip 10 bezeichneten Halbleiterkörper. Als Halbleitermaterial kommt dabei insbesondere Silizium in Frage; es kann jedoch auch ein anderes Halbleitermaterial Verwendung finden. Diese Aussage bezieht sich gleichfalls auf alle folgenden Figuren.

Weiterhin ist in Figur 1 eine Oberseitenmetallisierung 4 und eine Unterseitenmetallisierung 5 dargestellt.

Wird an eine solche Diode 100 eine Sperrspannung U_s angelegt, so steigt der Strom stark an, sobald die Zenerspannung U_z überschritten ist. Die Ursache des Stromanstiegs, d.h. der Spannungsbegrenzung, liegt in dem einsetzenden Avalanche- oder Lawineneffekt begründet. Bei Anlegen einer Sperrspannung U_s bildet sich an der pn-Grenzfläche, d.h. am pn-Übergang, eine sogenannte Raumladungszone aus. Ab einer bestimmten elektrischen Feldstärke E_{krit} von ca. $(2-4) \cdot 10^5$ V/cm werden Ladungsträger in der Raumladungszone so stark beschleunigt, dass sie bei Stößen mit dem Kristallgitter Bindungen des Halbleiters aufbrechen und so weitere Elektronen und Löcher erzeugen, die ihrerseits beschleunigt werden und Bindungen aufbrechen können. Dadurch steigt der Strom über alle Maßen an, d.h. er kann sehr groß werden. Bei der bekannten Diode 100 gemäß der Figur 1 endet der pn-Übergang in dem Bereich eines Sägegrabens des Chips. Zur Herstellung der Dioden 100 wird nämlich eine Vielzahl von Diodenchips 10 als sogenannter Wafer gemeinsam hergestellt und prozessiert. Diese Vielzahl von Chips 10 müssen anschließend vereinzelt werden. Dies geschieht beispielsweise durch Sägen. Hierdurch entstehen die Sägegräben, welche aber in Figur 1 nicht eigenständig mit einem Bezugszeichen bezeichnet sind, sondern lediglich als Rand des Chips erkennbar sind. Das Kristallgitter ist im Bereich der Sägegräben, je nach Sägeart und Sägeprozess bis zu einer Tiefe, d.h. in einer Richtung parallel zur Chipebene, von einigen Mikrometern bis einigen zehn Mikrometern gestört. Solche Bereiche, die im folgenden auch als Damagezone bezeichnet werden, weisen hohe

Zustandsdichten in der Bandlücke auf. Die Damagezone bzw. ihre Breite bzw. Tiefe ist in Figur 1 mit dem Bezugszeichen 22 bezeichnet. Durch die hohe Zustandsdichte in der Bandlücke erhöht sich die Rekombinationswahrscheinlichkeit für Ladungsträger und damit der Sperrstrom. Die zur Auslösung des Lawineneffekts benötigte elektrische Feldstärke ist im Bereich der Damagezone wesentlich kleiner als im inneren, ungestörten Chipbereich. Deswegen findet der Lawinendurchbruch bei der Diode 100 zuerst am Chiprand statt. Die Folge davon sind Vordurchbrüche, die sich in verrundeten Sperrkennlinien äußern. Da deshalb die Stromdichte in diesen Randbereichen erhöht ist, wird die pn-Diode 100 am Chiprand stärker thermisch belastet als in der Mitte. Dies hat eine deutlich reduzierte Impulsfestigkeit der Diode zur Folge. Bei derartigen Dioden 100 ist es deshalb üblich, den gestörten Chipbereich, d.h. die Damagezone, beispielsweise durch Ätzen mit KOH, abzutragen.

In Figur 2 ist eine schematische Darstellung des Querschnitts einer erfindungsgemäßen Halbleiteranordnung 200 gezeigt. Der Chip 10 bzw. das Halbleitersubstrat 10 umfaßt die erste Schicht 2, welche beispielhaft p-dotiert vorgesehen ist. Weiterhin umfaßt der Chip 10 die zweite Schicht 1, welche beispielhaft n-dotiert vorgesehen ist. Die p-dotierte erste Schicht 2 wird in spezieller strukturierter Weise in das Halbleitermaterial 10 eingebracht, so dass ein in Figur 2 angedeuteter Randbereich 2a der ersten Schicht 2 und ein Mittenbereich 2b der ersten Schicht 2 entsteht. Der Randbereich 2a weist eine geringere Dotierstoffkonzentration auf als der Mittenbereich 2b in der Chipmitte. Weiterhin verläuft die Grenzfläche zwischen der p-dotierten ersten Schicht 2 und der n-dotierten zweiten Schicht 1, wobei die Grenzfläche in Figur 2 mit dem Bezugszeichen 12 bezeichnet ist, im Randbereich 2a der ersten Schicht 2 nicht mehr parallel zur Waferoberfläche bzw. zur Chipebene, welche in Figur 2 mit einem Doppelpfeil und dem Bezugszeichen 13 bezeichnet ist. Die Grenzfläche 12 ist im Randbereich 2a zur ersten Schicht 2 hin, d.h. zur Chipoberseite hin, gebogen. Beide

Eigenschaften, die geringe p-Dotierungskonzentration und der nichtparallele Verlauf des pn-Übergangs 12 erhöhen die kritische Feldstärke E_{krit} im Randbereich 2a des Chips 10. Dadurch wird erreicht, dass der Lawinendurchbruch im Innern des Chips 10, d.h. im Mittenbereich 2b der ersten Schicht 2, und nicht am Chiprand stattfindet. Daraus resultieren geringe Sperrströme und höhere Impulsfestigkeiten. Außerdem kann in den meisten Fällen das aufwendige Entfernen der Damagezone (die in Figur 2 der Einfachheit halber nicht dargestellt ist) mittels Ätzen entfallen. Die geringere Dotierung des Randbereichs 2a führt zu einer pn-Diode mit höherer Zenerspannung am Chiprand als im Mittenbereich 2b, da sich die Raumladungszone mehr in den Randbereich 2a erstreckt als in den Mittenbereich 2b. Der Randbereich 2a gelangt im Sperrbetrieb nicht in den Lawinendurchbruch, da die innere Diode, d.h. der pn-Übergang zwischen dem Mittenbereich 2b und der zweiten Schicht 1, einen Spannungsanstieg über die Zenerspannung, die für den Randbereich 2a maßgeblich ist, hinaus verhindert. Der nichtparallel Verlauf des pn-Übergangs 12 im Randbereich 2a gegenüber der Chipebene 13 entspricht dem Prinzip des sogenannten positiven Bevelings, welches ebenfalls zu einer größeren lokalen Zenerspannung führt. Infolge der Ladungsneutralität dehnt sich die Raumladungszone am Rand weiter aus als im parallelen Fall, so dass die elektrische Feldstärke an der Oberfläche, d.h. am Randbereich 2a noch weiter herabgesetzt ist. Durch das erfindungsgemäße positive Beveling der Grenzfläche 12, d.h. durch die "Durchbiegung" des Randbereichs 12 nach oben hin, im Randbereich 2a ergibt sich durch eine Trennung der Chips 10 eines Wafers an bestimmten Stellen der gekrümmten bzw. gebogenen Grenzfläche 12 ein unterschiedlicher Winkel zwischen der Grenzfläche 12 und der Chipoberfläche, d.h. der Chipebene 13, je nach dem an welcher Stelle des Grenzflächenverlaufs der Grenzfläche 12 der Chip 10 abgetrennt wird. Dieser Winkel wird auch Beveling-Winkel genannt und ist in der Figur 2 mit dem Bezugszeichen 14 versehen. Je kleiner nach der Trennung bzw. Vereinzelung der Chips 10 ein übrigbleibender Teilbereich ist, desto kleiner wird - bei sonst gleichen Bedingungen - der

Beveling-Winkel 14 sein. Beispielhaft beträgt der Beveling-Winkel der erfindungsgemäßen Halbleiteranordnung 200 wenigstens 45°. Der nach der Vereinzelung der Chips 10 übrigbleibende Teilbereich ist in Figur 2 mit dem Bezugszeichen 20 versehen. Diese Breite entspricht im wesentlichen - bis auf die Sägeblattbreite beim Vereinzeln, welche im Zusammenhang mit Figur 3e weiter unten beschrieben ist - der Hälfte der Breite des Teilbereichs 7, welcher im Zusammenhang mit der Figur 3b weiter unten genauer beschrieben ist.

In Figur 3 wird ein Beispiel eines Herstellungsprozesses der erfindungsgemäßen Halbleiteranordnung 200 bzw. der erfindungsgemäßen Diode 200 dargestellt. Die Diode 200 weist beispielhaft eine Zenerspannung von ca. 50 V auf. Selbstverständlich kann eine solche Diode auch für größere oder kleinere Spannungen ausgelegt werden.

Ein Siliziumsubstrat 10 bzw. der Chip 10 mit einer Dicke von ca. 200 μm und einer n-Dotierung von ca. $2,6 \cdot 10^{17} \text{cm}^{-3}$ wird beispielhaft auf der Vorderseite, d.h. jeweils im oberen Teil der dargestellten Anordnungen, mit Bor, auf der Rückseite, d.h. jeweils im unteren Teil der dargestellten Anordnungen, mit Phosphor belegt. Hierdurch entsteht eine in Figur 3a dargestellte Anordnung mit der ersten, im Beispiel mit Bor dotierten, Schicht 2, der zweiten, im Beispiel mit der n-Grunddotierung versehenen, zweiten Schicht 1 und der dritten, im Beispiel mit Phosphor dotierten, Schicht 3. Oberhalb von Figur 3a ist noch die Chipebene 13 mittels eines Doppelpfeils dargestellt. Die Belegung mit Bor bzw. Phosphor kann erfindungsgemäß beispielsweise durch Ionenimplantation, durch ein Dotierglas oder durch eine Dotierfolie erfolgen. Insbesondere können dotierte Glasschichten durch APCVD-Verfahren (Atmospheric pressure chemical vapour deposition) aufgebracht werden oder es können Dotierfolien in bekannter Weise verwendet werden. Durch diese Verfahren ist es in vorteilhafter Weise möglich, Dotierstoffe praktisch gleichzeitig auf die Vorderseite, beispielsweise Bor, und auf die Rückseite, beispielsweise Phosphor, aufzubringen.

Im Falle der dotierten APCVD-Gläser erfolgt anschließend eine etwa 0,5-3 Stunden dauernde Diffusion bei hohen Temperaturen. Bei Folienbelegung erfolgt beispielsweise eine Diffusion von 0,5-3 Stunden bei 1265°C in Sauerstoffhaltiger Atmosphäre. Danach befindet sich der Siliziumwafer bzw. der Chip 10 in einem Zustand wie in Figur 3a dargestellt ist. Die Bor- bzw. Phosphordosen betragen beispielsweise $(1-2) \cdot 10^{17} \text{cm}^{-2}$.

Anschließend wird die Wafervorderseite strukturiert. Dies kann in besonders vorteilhafter Weise durch Einsägen der Vorderseite mit einer Diamantsäge oder durch wasserunterstütztes Laserschneiden erfolgen. In der Figur 3b ist der resultierende Chip 10 bzw. der Wafer nach dem Strukturierungsschritt dargestellt. Die Sägetiefe, die in Figur 3b mit dem Bezugszeichen 21 bezeichnet ist, beträgt beispielsweise 5-35 μm . Im Regelfall wird die Sägetiefe 21 so gewählt, dass sie tiefer als die Eindringtiefe der Borschicht 2, d.h. der ersten Schicht 2 in die n-dotierte zweite Schicht 1 ist. Durch die Wahl der Sägetiefe kann die laterale Ausdiffusion der Borschicht, bzw. die Borkonzentration - und damit die Durchbruchfeldstärke am Chiprand - bei der anschließenden Diffusion beeinflusst werden. Je größer die Sägetiefe 21, desto geringer ist die laterale Ausdiffusion und die kritische Feldstärke E_{krit} am Chiprand. Die Breite des Sägeblatts richtet sich nach Sägetiefe 21 und anschließendem Diffusionsprozess, typisch sind Sägebreiten von 100 μm . Durch den Sägevorgang wird dem Chip an seiner Vorderseite ein Teilbereich entnommen. Dieser Teilbereich ist in Figur 3b mit dem Bezugszeichen 7 bezeichnet. Die Breite des Teilbereichs 7 entspricht der Sägebreite.

Für den Fall, dass die Einbringung der Dotierstoffe in die Wafervorderseite bereits strukturiert erfolgt, erübrigt sich in der Regel der Sägeschnitt.

Nach dem Strukturierungsprozess findet die eigentliche Diffusion, d.h. das Eintreiben der Dotierstoffe ins Halbleitermaterial des Chips 10, d.h. insbesondere ins

Silizium, statt. So wird erfindungsgemäß beispielsweise bei 1265°C 90 Stunden lang diffundiert. Dabei wird ein Dotierprofil erhalten, wie es in der Figur 3c dargestellt ist. Die Dotierstoffe, die in die Unterseite des Wafers 10 bzw. des Chips 10, d.h. in die dritte Schicht 3 eingelagert wurden - vergleiche Figur 3a bzw. Figur 3b - wandern durch den Diffusionsschritt nach oben in das Halbleitermaterial hinein, welches mit der Grunddotierung versehen ist. Hierdurch wird der Bereich der dritten Schicht 3 auf Kosten des Bereichs der zweiten Schicht 1 im Wafer 10 ausgeweitet bzw. vergrößert. Die Dotierstoffe, die in der Oberseite des Wafers 10 eingelagert wurden, sind erfindungsgemäß strukturiert vorgesehen, d.h. sie erstrecken sie nicht über die gesamte Fläche des Wafers 10 bzw. des Chips 10, sondern nur in den Teilbereichen der ersten Schicht 2, d.h. in den Chipbereichen unterhalb der Teilbereiche 7 - vergleiche die Figur 3b und 3c - ist kein Dotierstoff der ersten Schicht 2 vorhanden. Durch die Diffusion wandert jedoch der Dotierstoff, der strukturiert in die Oberseite des Wafers 10 eingebracht wurde, zum einen "senkrecht" nach unten in die Chipbereiche der mit der Grunddotierung versehenen zweiten Schicht 1 und verkleinern diese zweite Schicht 1 wiederum zugunsten der ersten Schicht 2. Zum anderen wandert der Dotierstoff jedoch auch "seitlich" in die Bereiche der zweiten Schicht 1 hinein, die sich unterhalb des Teilbereichs 7 befinden. Hierdurch verringert sich jedoch deren Konzentration, je weiter die Wegstrecke ist, die der Dotierstoff in den Teilbereich 7 - bzw. dem darunterbefindlichen Waferbereich - zurückzulegen hat. Im Bereich unterhalb des Teilbereichs 7, d.h. unterhalb des Einsägegrabens 7 ist die Bor-Dotierstoffkonzentration daher gegenüber der Konzentration in der Mitte zwischen zwei Teilbereichen 7 reduziert. Weiterhin bringt es die Diffusion bei der beschriebenen strukturierten Einlagerung der Dotierstoffe auf der Oberseite des Chips 10 mit sich, dass der Verlauf der pn-Diffusionsfront, d.h. der Verlauf der Grenzfläche 12 zwischen - im Beispiel - positiv dotierter erster Schicht 2 und - im Beispiel - negativ dotierter zweiter Schicht 1 die gewünschte und vorteilhafte Struktur bzw. Form aufweist. Die Grenzfläche 12 zeigt

nämlich im Chipbereich unterhalb des Teilbereichs 7 einen nach oben hin gekrümmten Verlauf, d.h. einen Verlauf, der nicht parallel zur Chipebene 13 ist.

Nach dem Diffusionsschritt wird der Wafer auf der Vorder- und der Rückseite bzw. der Ober- und der Unterseite erfindungsgemäß mit der Oberseitenmetallisierung 4 bzw. der Unterseitenmetallisierung 5 versehen, wie dies in der Figur 3d dargestellt ist. Die Metallschichten 4, 5 dienen der Kontaktierung des Chips 10. Erfindungsgemäß kann insbesondere eine Chrom/Nickel/Silber-Metallisierung verwendet werden.

Nach der Metallisierung werden die einzelnen Chips 10 vereinzelt, beispielsweise durch Sägen, etwa mit einer Diamantsäge. Erfindungsgemäß eignet sich hierfür beispielsweise eine Diamantsäge mit einer Sägeblattbreite von $40\mu\text{m}$. Die Sägeblattbreite zur Vereinzelung der Chips 10 ist in Figur 3e mit dem Bezugszeichen 30 dargestellt. Durch die Vereinzelung der Chips 10 eines Wafers werden erfindungsgemäß die pn-Diodenchips 200 bzw. die erfindungsgemäßen Halbleiteranordnungen 200 mit reduzierter Randfeldstärke erhalten. Hierbei wird der Beveling-Winkel im Randbereich 2a der Halbleiteranordnung 200 definiert und eingestellt.

Die Diodenchips 200 bzw. die Halbleiteranordnung 200 werden erfindungsgemäß insbesondere in bekannter Weise in einem nicht dargestellten Gehäuse, wie zum Beispiel in einem Diodeneinpressgehäuse, verpackt.

Da das Trennen der Diodenchips 200 mittels einer Säge unter ungünstigen Sägeparametern - abhängig beispielsweise von der Körnung der Diamantsplitter, dem Vorschub, der Drehzahl und dergleichen - sehr große Damagezonen 22 am Chiprand erzeugen, ist es erfindungsgemäß in vorteilhafter Weise vorgesehen, diese Damagezone 22 am Chiprand zu entfernen, beispielsweise mittels nasschemischer Verfahren - beispielsweise Ätzen mittels KOH -, Gasphasenätzen oder dergleichen. Besonders vorteilhaft ist es jedoch, den

Trennprozess durch andere, zerstörungsfreiere Verfahren, wie beispielsweise Ätzen oder Laserschneiden mit Wasserkühlung, durchzuführen. Dadurch ist es erfindungsgemäß in einer vorteilhaften Ausführungsform möglich, auf die Entfernung der Damagezone 22 zu verzichten.

Ansprüche

1. Halbleiteranordnung (200) mit einem pn-Übergang, insbesondere eine Diode, die als Chip (10) mit einem Randbereich ausgebildet ist, die eine erste Schicht (2) eines ersten Leitfähigkeitstyps und eine zweite Schicht (1) eines zweiten, dem ersten Leitfähigkeitstyp entgegengesetzten, Leitfähigkeitstyps umfaßt, wobei die erste Schicht (2) einen Randbereich (2a) und einen Mittenbereich (2b) aufweist, wobei zwischen der ersten Schicht (2) und der zweiten Schicht (1) der pn-Übergang vorgesehen ist, dadurch gekennzeichnet, dass die zweite Schicht (2) in ihrem Randbereich (2a) schwächer dotiert vorgesehen ist als in ihrem Mittenbereich (2b) und dass die Grenzfläche (12) des pn-Übergangs am Randbereich (2a) nichtparallel zur Hauptchipebene (13) vorgesehen ist.
2. Halbleiteranordnung (200) nach Anspruch 1, dadurch gekennzeichnet, dass die Grenzfläche (12) des pn-Übergangs am Randbereich (2a) mit einem positiven Beveling-Winkel vorgesehen ist.
3. Halbleiteranordnung (200) nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Grenzfläche (12) des pn-Übergangs am Randbereich (2a) gekrümmt vorgesehen ist.
4. Halbleiteranordnung (200) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Dicke des Chips (10) am Randbereich (2a) kleiner vorgesehen ist als am Mittenbereich (2b).

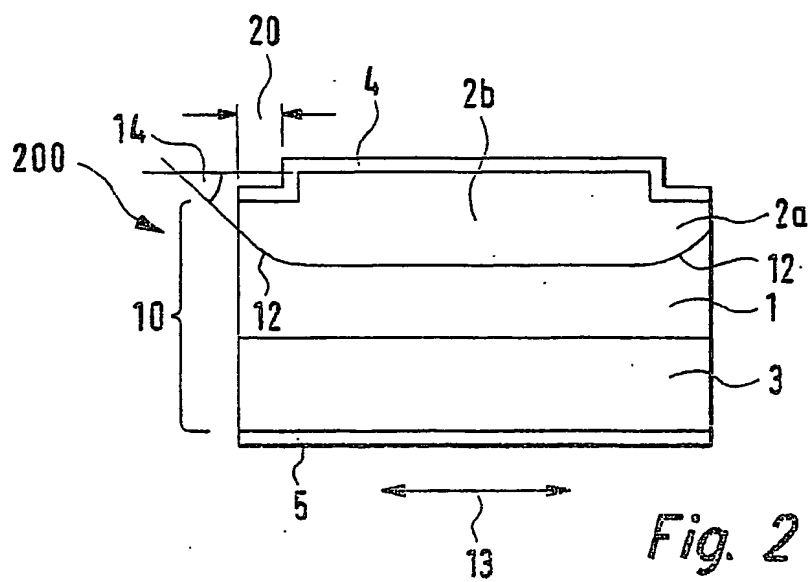
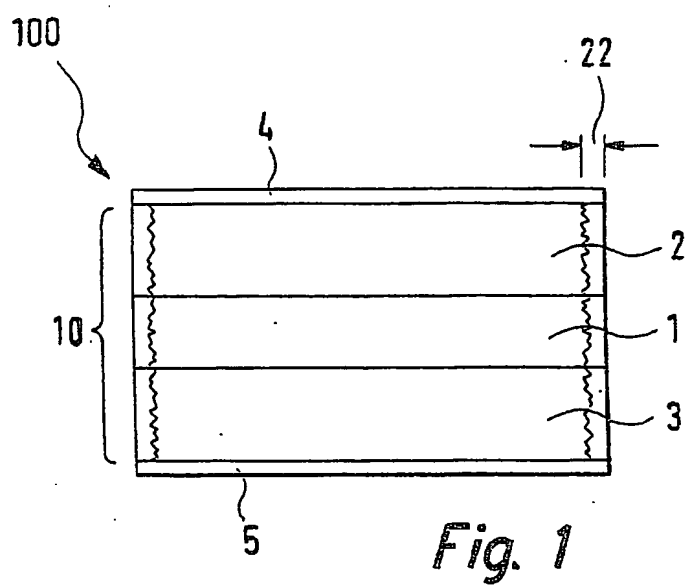
5. Verfahren zur Herstellung einer Halbleiteranordnung (200) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die erste Schicht (2) mittels einer strukturierten Dotierung hergestellt wird.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass die strukturierte Dotierung mittels einer Vorbelegung des Chips (10) mit Dotierstoff, einem anschließenden Entfernen der Belegung in einem Teilbereich (7) des Chips (10) in einem nachfolgenden Eintreiben des Dotierstoffs in den Chip (10) vorgesehen ist.

7. Verfahren nach Anspruch 5 oder 6, dadurch gekennzeichnet, dass das Entfernen der Belegung durch Einsägen erfolgt, wobei das Einsägen insbesondere durch eine Diamantsäge oder durch wasserunterstütztes Laserschneiden erfolgt.

8. Verfahren nach Anspruch 5, 6 oder 7, dadurch gekennzeichnet, dass die Vorbelegung des Chips (10) mit Dotierstoff mittels APCVD-Abschcheidung eines dotierten Glases oder mittels einer Dotierfolie oder mittels Gasphasenbelegung oder mittels Ionenimplantation oder mittels Aufbringen von Dotierpasten erfolgt.

1 / 2



2 / 2

Fig. 3a

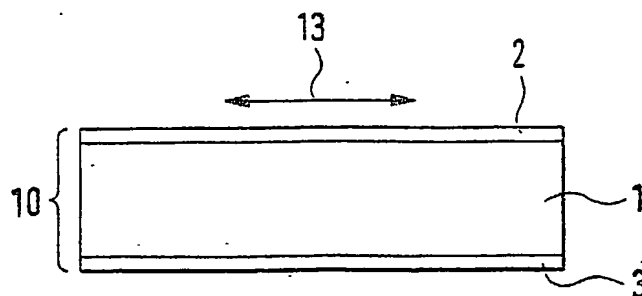


Fig. 3b

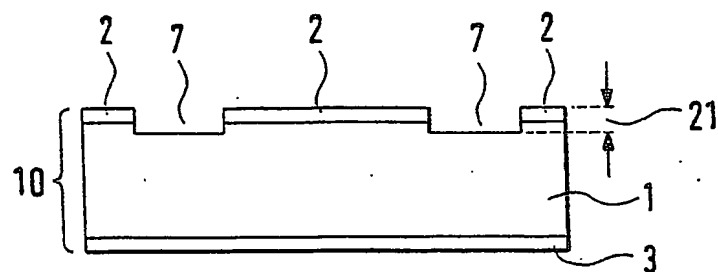


Fig. 3c

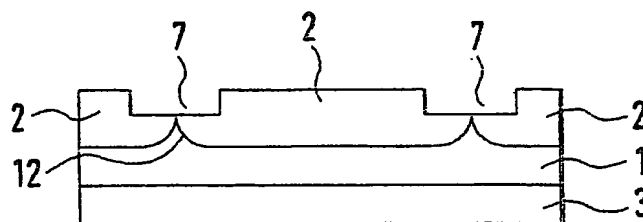


Fig. 3d

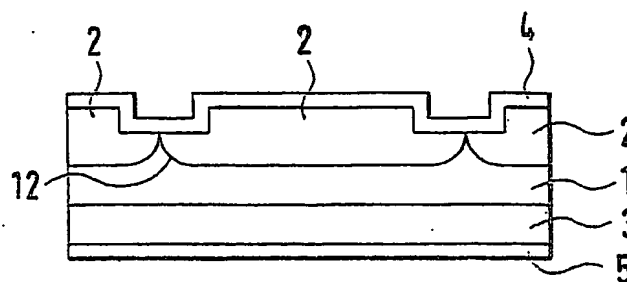
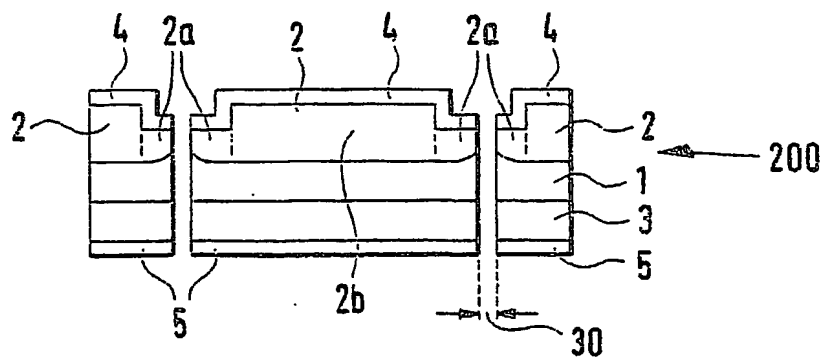


Fig. 3e



INTERNATIONAL SEARCH REPORT

International Application No.

PCT/DE 02/04255

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 H01L29/866 H01L21/329

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EP0-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 198 04 580 A (SIEMENS AG) 19 August 1999 (1999-08-19) figure 2	1-3
X	US 6 054 748 A (SHINOHE TAKASHI ET AL) 25 April 2000 (2000-04-25) figure 12	1
A	US 5 150 176 A (SCHOENBERG MARK) 22 September 1992 (1992-09-22) the whole document	1, 4-6, 8
A	PATENT ABSTRACTS OF JAPAN vol. 005, no. 055 (E-052), 16 April 1981 (1981-04-16) & JP 56 004285 A (TOSHIBA CORP), 17 January 1981 (1981-01-17) abstract	1-3
-/-		



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

10 April 2003

Date of mailing of the international search report

16/04/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

Bailliet, B

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 02/04255

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 43 20 780 A (BOSCH GMBH ROBERT) 9 March 1995 (1995-03-09) cited in the application the whole document ---	1-6
A	WO 93 08592 A (BOSCH GMBH ROBERT) 29 April 1993 (1993-04-29) page 12, line 11 - line 22 ---	7
A	WO 01 75966 A (SYNOVA S A ;RICHERZHAGEN BERNOLD (CH)) 11 October 2001 (2001-10-11) abstract -----	7

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 02/04255

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
DE 19804580	A	19-08-1999	DE 19804580 A1	19-08-1999
			US 6351024 B1	26-02-2002
US 6054748	A	25-04-2000	JP 10321877 A	04-12-1998
			DE 19811568 A1	24-09-1998
US 5150176	A	22-09-1992	JP 6005886 A	14-01-1994
JP 56004285	A	17-01-1981	NONE	
DE 4320780	A	09-03-1995	DE 4320780 A1	09-03-1995
			FR 2707041 A1	30-12-1994
			IT 1270220 B	29-04-1997
			JP 7038123 A	07-02-1995
			US 5541140 A	30-07-1996
WO 9308592	A	29-04-1993	DE 4133820 A1	15-04-1993
			WO 9308592 A1	29-04-1993
			DE 59206717 D1	08-08-1996
			EP 0607180 A1	27-07-1994
			JP 7500224 T	05-01-1995
			US 5393711 A	28-02-1995
WO 0175966	A	11-10-2001	WO 0175966 A1	11-10-2001

INTERNATIONAL RECHERCHENBERICHT

Intern. Aktenzeichen

PCT/DE 02/04255

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 IPK 7 H01L29/866 H01L21/329

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 198 04 580 A (SIEMENS AG) 19. August 1999 (1999-08-19) Abbildung 2	1-3
X	US 6 054 748 A (SHINOHE TAKASHI ET AL) 25. April 2000 (2000-04-25) Abbildung 12	1
A	US 5 150 176 A (SCHOENBERG MARK) 22. September 1992 (1992-09-22) das ganze Dokument	1,4-6,8
A	PATENT ABSTRACTS OF JAPAN vol. 005, no. 055 (E-052), 16. April 1981 (1981-04-16) & JP 56 004285 A (TOSHIBA CORP), 17. Januar 1981 (1981-01-17) Zusammenfassung	1-3

-/--



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

10. April 2003

Absendedatum des internationalen Recherchenberichts

16/04/2003

Name und Postanschrift der internationalen Recherchenbehörde
 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Baillet, B

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DE 43 20 780 A (BOSCH GMBH ROBERT) 9. März 1995 (1995-03-09) in der Anmeldung erwähnt das ganze Dokument ----	1-6
A	WO 93 08592 A (BOSCH GMBH ROBERT) 29. April 1993 (1993-04-29) Seite 12, Zeile 11 - Zeile 22 ----	7
A	WO 01 75966 A (SYNOVA S A ;RICHERZHAGEN BERNOLD (CH)) 11. Oktober 2001 (2001-10-11) Zusammenfassung -----	7

INTERNATIONALE RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Intern. Aktenzeichen

PCT/DE 02/04255

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 19804580 A	19-08-1999	DE 19804580 A1	19-08-1999
		US 6351024 B1	26-02-2002
US 6054748 A	25-04-2000	JP 10321877 A	04-12-1998
		DE 19811568 A1	24-09-1998
US 5150176 A	22-09-1992	JP 6005886 A	14-01-1994
JP 56004285 A	17-01-1981	KEINE	
DE 4320780 A	09-03-1995	DE 4320780 A1	09-03-1995
		FR 2707041 A1	30-12-1994
		IT 1270220 B	29-04-1997
		JP 7038123 A	07-02-1995
		US 5541140 A	30-07-1996
WO 9308592 A	29-04-1993	DE 4133820 A1	15-04-1993
		WO 9308592 A1	29-04-1993
		DE 59206717 D1	08-08-1996
		EP 0607180 A1	27-07-1994
		JP 7500224 T	05-01-1995
		US 5393711 A	28-02-1995
WO 0175966 A	11-10-2001	WO 0175966 A1	11-10-2001